



XA-9957
PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

Toru ICHIEN et al.

Appln. No.: 10/702,448

Group Art Unit: 2125

Filed: November 7, 2003

For: SEMICONDUCTOR DATA PROCESSOR DEVICE AND DATA
PROCESSING SYSTEM

* * *

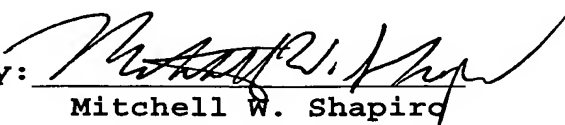
CLAIM OF PRIORITY UNDER 35 U.S.C. § 119

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Applicants hereby claim the priority of Japanese
Patent Application No. 2002-339128 filed November 22, 2002,
and submit herewith a certified copy of said application.

Respectfully submitted,

By: 
Mitchell W. Shapiro
Reg. No. 31,568

MWS:sjk

Miles & Stockbridge P.C.
1751 Pinnacle Drive
Suite 500
McLean, Virginia 22102-3833
(703) 903-9000

March 17, 2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 1 月 2 2 日
Date of Application:

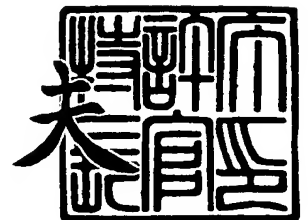
出 願 番 号 特 願 2 0 0 2 - 3 3 9 1 2 8
Application Number:
[ST. 10/C] : [J P 2 0 0 2 - 3 3 9 1 2 8]

出 願 人 株式会社ルネサステクノロジ
Applicant(s): 株式会社ルネサス北日本セミコンダクタ
 日立デバイスエンジニアリング株式会社

2 0 0 3 年 1 0 月 2 1 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 H02016851

【提出日】 平成14年11月22日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 13/12

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立製作所 半導体グループ内

【氏名】 一圓 亨

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立製作所 半導体グループ内

【氏名】 山口 航

【発明者】

【住所又は居所】 北海道千歳市泉沢 1 0 0 7 番地 3 9 株式会社北日本セミコンダクタテクノロジーズ内

【氏名】 笹川 雅恵

【発明者】

【住所又は居所】 千葉県茂原市早野 3 6 8 1 番地 日立デバイスエンジニアリング株式会社内

【氏名】 若林 守

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【特許出願人】

【識別番号】 000233594

【氏名又は名称】 株式会社北日本セミコンダクタテクノロジーズ

【特許出願人】

【識別番号】 000233088

【氏名又は名称】 日立デバイスエンジニアリング株式会社

【代理人】

【識別番号】 100089071

【弁理士】

【氏名又は名称】 玉村 静世

【電話番号】 03-5217-3960

【手数料の表示】

【予納台帳番号】 011040

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体データ処理装置及びデータ処理システム

【特許請求の範囲】

【請求項 1】 ホスト装置の汎用バスに不揮発性ストレージデバイスを接続可能にする半導体データ処理装置であって、

前記汎用バスの状態に応答してアクティブ状態又はスタンバイ状態を採り、

前記スタンバイ状態において内部クロック信号を停止するクロック回路と、前記スタンバイ状態においてサブスレッショルドリーク電流を低減する方向に基板バイアス電圧を印加する電圧発生回路を有することを特徴とする半導体データ処理装置。

【請求項 2】 前記汎用バスに不揮発性ストレージデバイスを接続可能にするための制御プログラムを保有する書き換え可能な不揮発性メモリと前記制御プログラムを実行する中央処理装置を含み、前記中央処理装置と不揮発性メモリは前記基板バイアス電圧の印加対象とされることを特徴とする請求項 1 記載の半導体データ処理装置。

【請求項 3】 前記汎用バスの状態を検出してスタンバイ状態からアクティブ状態への遷移を制御する回路を有し、この回路及び前記電圧発生回路はスタンバイ状態において前記基板バイアス電圧の印加が除外されることを特徴とする請求項 2 記載の半導体データ処理装置。

【請求項 4】 前記不揮発性ストレージデバイスとインタフェースされる第 1 インタフェースコントローラを有することを特徴とする請求項 3 記載の半導体データ処理装置。

【請求項 5】 前記汎用バスとインタフェースされる第 2 インタフェースコントローラを有することを特徴とする請求項 4 記載の半導体データ処理装置。

【請求項 6】 前記第 1 インタフェースコントローラはメモリカードインタフェースコントローラであり、前記第 2 インタフェースコントローラは USB インタフェースコントローラであることを特徴とする請求項 5 記載の半導体データ処理装置。

【請求項 7】 前記第 1 インタフェースコントローラと前記第 2 インタフェ

ースコントローラとの間のデータ転送を制御するデータ転送コントローラを有することを特徴とする請求項 5 又は 6 記載の半導体データ処理装置。

【請求項 8】 前記第 1 インタフェースコントローラ、第 2 インタフェースコントローラ、及びデータ転送コントローラは夫々データの並列入出力ビット数が $2n$ ビットであり、前記中央処理装置はデータの並列入出力ビット数が n ビット以下であることを特徴とする請求項 7 記載の半導体データ処理装置。

【請求項 9】 前記データ転送コントローラは $2n$ ビットの第 1 データバスに接続され、前記中央処理装置は前記第 1 データバスの下位側又は上位側の何れか一方に接続されることを特徴とする請求項 8 記載の半導体データ処理装置。

【請求項 10】 前記第 1 インタフェースコントローラと第 2 インタフェースコントローラは $2n$ ビットの第 2 データバスに接続され、前記第 1 データバスを第 2 データバスに接続するバスコントローラが設けられ、前記バスコントローラは、第 2 データバスの信号線とアクセスデータのビット位置との対応を固定とし、第 1 データバスの信号線とアクセスデータのビット位置との対応をアクセスデータサイズに応じて可変とすることを特徴とする請求項 9 記載の半導体データ処理装置。

【請求項 11】 中央処理装置とその制御プログラムを保有する書換え可能な不揮発性メモリを有し、

スタンバイ状態において、内部クロック信号が停止され、且つ閾値電圧を大きくする方向に基板バイアス電圧が印加され、前記基板バイアス電圧の印加対象に前記中央処理装置と前記不揮発性メモリを含むことを特徴とする半導体データ処理装置。

【請求項 12】 前記中央処理装置の制御を受ける第 1 インタフェースコントローラ及び第 2 インタフェースコントローラと、前記第 1 インタフェースコントローラと第 2 インタフェースコントローラとの間のデータ転送を制御可能なデータ転送コントローラとを有することを特徴とする請求項 11 記載の半導体データ処理装置。

【請求項 13】 前記第 1 インタフェースコントローラはメモリカードインタフェースコントローラであることを特徴とする請求項 12 記載の半導体データ

処理装置。

【請求項 14】 前記第 2 インタフェースコントローラは USB インタフェースコントローラであることを特徴とする請求項 12 記載の半導体データ処理装置。

【請求項 15】 前記第 1 インタフェースコントローラ、第 2 インタフェースコントローラ、及びデータ転送コントローラは夫々データの並列入出力ビット数が $2n$ ビットであり、前記中央処理装置は並列データの処理単位が n ビット以下であることを特徴とする請求項 12 記載の半導体データ処理装置。

【請求項 16】 前記データ転送コントローラは $2n$ ビットの第 1 データバスに接続され、前記中央処理装置は前記第 1 データバスの下位側又は上位側の何れか一方に接続されることを特徴とする請求項 15 記載の半導体データ処理装置。

【請求項 17】 前記第 1 インタフェースコントローラと第 2 インタフェースコントローラは $2n$ ビットの第 2 データバスに接続され、前記第 1 データバスを第 2 データバスに接続するバスコントローラが設けられ、前記バスコントローラは、第 2 データバスの信号線とアクセスデータのビット位置との対応を固定とし、第 1 データバスの信号線とアクセスデータのビット位置との対応をアクセスデータサイズに応じて可変とすることを特徴とする請求項 16 記載の半導体データ処理装置。

【請求項 18】 データの並列入出力ビット数が $2n$ ビットとされる第 1 周辺回路と、データの並列入出力ビット数が $2n$ ビットとされる第 2 周辺回路と、データの並列入出力ビット数が $2n$ ビットとされ前記第 1 周辺回路と前記第 2 周辺回路との間のデータ転送制御が可能とされるデータ転送コントローラと、前記データ転送コントローラが接続される $2n$ ビットの第 1 データバスと、並列データの処理単位が n ビット以下とされ前記第 1 データバスの下位側又は上位側の何れか一方に接続された中央処理装置と、を有することを特徴とする半導体データ処理装置。

【請求項 19】 前記第 1 周辺回路と前記第 2 周辺回路は $2n$ ビットの第 2 データバスに接続され、第 1 データバスを第 2 データバスに接続するバスコント

ローラが設けられることを特徴とする請求項 18 記載の半導体データ処理装置。

【請求項 20】 前記バスコントローラは、第 2 データバスの信号線とアクセスデータのビット位置との対応を固定とし、第 1 データバスの信号線とアクセスデータのビット位置との対応をアクセスデータサイズに応じて可変とすることを特徴とする請求項 19 記載の半導体データ処理装置。

【請求項 21】 汎用バスに不揮発性ストレージデバイスを接続するためのブリッジ回路を有するデータ処理システムであって、

前記ブリッジ回路は前記汎用バスと不揮発性ストレージデバイスとの間のデータ転送を制御するための半導体データ処理装置を有し、

前記半導体データ処理装置は、データ転送コントローラと、中央処理装置と、その制御プログラムを保有する書換え可能な不揮発性メモリとを有し、前記汎用バスの第 1 状態に応答してアクティブ状態からスタンバイ状態に遷移し、スタンバイ状態において、内部クロック信号を停止し、且つサブスレッショルドリーク電流を低減する方向に基板バイアス電圧を印加し、前記第 1 状態に続く第 2 状態に応答して前記スタンバイ状態からアクティブ状態に遷移することを特徴とするデータ処理システム。

【請求項 22】 前記スタンバイ状態において前記基板バイアス電圧が印加される対象には、前記中央処理装置と不揮発性メモリを含むことを特徴とする請求項 21 記載のデータ処理システム。

【請求項 23】 前記不揮発性ストレージデバイスは不揮発性メモリカードであり、前記汎用バスは USB バスであり、前記第 1 状態はアイドル状態であり、前記第 2 状態は通信要求状態であることを特徴とする請求項 21 又は 22 記載のデータ処理システム。

【請求項 24】 中央処理装置と、

上記中央処理装置によって実行されるべき制御プログラムを格納する電氣的に書込み及び消去可能な不揮発性メモリと、

クロック発生回路と、

第 1 制御回路と、を有する半導体データ処理装置であって、

前記半導体データ処理装置のスタンバイ状態に応答して、前記クロック発生回

路から発生されるクロック信号が停止され、且つ、前記中央処理装置、前記不揮発性メモリ及び前記クロック発生回路を構成するMOSトランジスタのサブスレッショルドリーク電流が低減される様に、前記中央処理装置、前記不揮発性メモリ及び前記クロック発生回路が前記第1制御回路によって制御されることを特徴とする半導体データ処理装置。

【請求項25】 前記第1制御回路は、前記スタンバイ状態に無関係に、第1及び第2電源電位が供給され、かつ、動作状態にされることを特徴とする請求項24記載の半導体データ処理装置。

【請求項26】 さらに、周辺回路を有し、
前記周辺回路は、結合されるべきバスの状態を検出する第1検出回路を有し、
前記周辺回路の前記第1検出回路を除く回路部分は、前記スタンバイ状態に応答して前記第1制御回路によって制御され、

前記第1検出回路は、前記スタンバイ状態に無関係に、第1及び第2電源電位が供給され、かつ、動作状態にされることを特徴とする請求項25記載の半導体データ処理装置。

【請求項27】 さらに、第2制御回路を有し、
前記第2制御回路は、前記第1検出回路の出力を検出する第2検出回路を有し、
前記第2制御回路の前記第2検出回路を除く回路部分は、前記スタンバイ状態に応答して前記第1制御回路によって制御され、
前記第2検出回路は、前記スタンバイ状態に無関係に、前記第1及び第2電源電位が供給され、かつ、動作状態にされることを特徴とする請求項26記載の半導体データ処理装置。

【請求項28】 汎用バスに不揮発性ストレージデバイスを接続するためのブリッジ回路を有するデータ処理システムであって、
前記ブリッジ回路は前記汎用バスと不揮発性ストレージデバイスとの間のデータ転送を制御するための半導体データ処理装置を有し、
前記半導体データ処理装置は、データ転送コントローラと、中央処理装置と、その制御プログラムを保有する書換え可能な不揮発性メモリと、クロック発生回

路と、第 1 制御回路と、を有し、

前記半導体データ処理装置は、前記汎用バスの第 1 状態に応答してアクティブ状態からスタンバイ状態に遷移し、

前記スタンバイ状態において、前記クロック発生回路はクロック信号の発生を停止し、且つ、前記中央処理装置、前記不揮発性メモリ及び前記クロック発生回路を構成する MOS トランジスタのサブスレッショルドリーク電流が低減される様に、前記中央処理装置、前記不揮発性メモリ及び前記クロック発生回路が前記制御回路によって制御され、

前記半導体データ処理装置は、前記汎用バスの前記第 1 状態に続く第 2 状態に応答して、前記スタンバイ状態からアクティブ状態に遷移することを特徴とするデータ処理システム。

【請求項 29】 前記半導体データ処理装置の前記第 1 制御回路は、前記スタンバイ状態に無関係に、第 1 及び第 2 電源電位が供給され、かつ、動作状態にされることを特徴とする請求項 28 記載のデータ処理システム。

【請求項 30】 前記半導体データ処理装置は、さらに、周辺回路を有し、前記周辺回路は、前記汎用バスの状態を検出する第 1 検出回路を有し、前記周辺回路の前記第 1 検出回路を除く回路部分は、前記スタンバイ状態に応答して前記第 1 制御回路によって制御され、

前記第 1 検出回路は、前記スタンバイ状態に無関係に、前記第 1 及び第 2 電源電位が供給され、かつ、動作状態にされることを特徴とする請求項 29 記載のデータ処理システム。

【請求項 31】 前記半導体データ処理装置は、さらに、第 2 制御回路を有し、

前記第 2 制御回路は、前記第 1 検出回路の出力を検出する第 2 検出回路を有し、

前記第 2 制御回路の前記第 2 検出回路を除く回路部分は、前記スタンバイ状態に応答して前記第 1 制御回路によって制御され、

前記第 2 検出回路は、前記スタンバイ状態に無関係に、前記第 1 及び第 2 電源電位が供給され、かつ、動作状態にされることを特徴とする請求項 26 記載のデ

ータ処理システム。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、データプロセッサなどの半導体データ処理装置、例えばホスト装置の汎用バスに不揮発性ストレージデバイスを接続可能にするブリッジ用の半導体データ処理装置に関し、P C（パーソナル・コンピュータ）の汎用バスにメモ리카ードを接続するブリッジ回路に適用して有効な技術に関する。

【 0 0 0 2 】

【従来の技術】

半導体集積回路の低消費電力化という点において、動作状態に応じて同期クロックをオン・オフ制御する技術（特許文献 1 参照）、スタンバイ状態（待機状態）か否かに応じて基板バイアス電圧を調整してサブスレッショルドリークによる無駄な電力消費を低減する技術（特許文献 2）が提供されている。

【 0 0 0 3 】

【特許文献 1】

特開平 1 1 - 1 4 5 8 9 7 号公報

【特許文献 2】

特開平 0 9 - 8 3 3 3 5 号公報

【 0 0 0 4 】

【発明が解決しようとする課題】

本発明者は携帯端末やノート型 P C の汎用バスにメモ리카ードを接続するためのブリッジ回路について検討した。ブリッジ回路は汎用バスとメモ리카ードとのインタフェース機能と両者の間のデータ転送機能が必要である。本発明者は、それら機能とそれに対する制御機能を半導体データプロセッサを用いて実現しようとする。

【 0 0 0 5 】

このとき、U S B（ユニバーサル・シリアル・バス）などの汎用バスのデータ転送レート、フラッシュメモ리카ードなどのアクセス速度は毎秒数百メガビッ

トのように高速になることが予想されるから、前記半導体データプロセッサには、それに対応可能な高速動作が必要になる。しかしながら、メモリカードに対するアクセス頻度は通常は非常に低く、常に高速動作可能な状態である必要はない。また、データ転送やインタフェース動作は高速であることを要するが、インタフェース機能や転送機能に対する動作条件設定などの制御機能は左程高速であることを要しない。本発明者はそれらの点に着目し、ブリッジ回路用のデータプロセッサには、待機時の低消費電力、動作時の低消費電力、更にはその両面から低消費電力を実現することの必要性を見出した。

【0006】

本発明の目的は、待機時の低消費電力を実現することができるブリッジ回路用の半導体データ処理装置を提供することにある。

【0007】

本発明の別の目的は、インタフェース機能の高速化を保証しつつ動作時の低消費電力を実現することができるブリッジ回路用等の半導体データ処理装置を提供することにある。

【0008】

本発明の更に別の目的は、待機時とインタフェース動作時の両面から低消費電力を実現することができるブリッジ回路用等の半導体データ処理装置を提供することにある。

【0009】

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【0010】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0011】

〔1〕 ホスト装置の汎用バスに不揮発性ストレージデバイスを接続可能にする半導体データ処理装置は、前記汎用バスの状態に応答してアクティブ状態又はス

タンバイ状態を採り、前記スタンバイ状態において内部クロック信号を停止するクロック回路と、前記スタンバイ状態においてサブスレッショルドリーク電流を低減する方向に基板バイアス電圧を印加する電圧発生回路を有する。この半導体データ処理装置は、前記汎用バスの状態に応答してアクティブ状態とスタンバイ状態の制御を行うから、ホスト装置の汎用バスに不揮発性ストレージデバイスを接続するブリッジ回路に最適である。このとき、前記スタンバイ状態において内部クロック信号を停止し、且つクロックサブスレッショルドリーク電流を低減する方向に基板バイアス電圧を印加するから、スタンバイ状態における低消費電力を実現することができる。

【0012】

本発明の具体的な形態では、前記汎用バスに不揮発性ストレージデバイスを接続可能にするための制御プログラムを保有する書き換え可能な不揮発性メモリと前記制御プログラムを実行する中央処理装置を含み、前記中央処理装置と不揮発性メモリは前記基板バイアス電圧の印加対象とする。スタンバイ状態において中央処理装置の動作が停止される以上、その動作プログラムを保有する不揮発性メモリも一緒に基板バイアス制御の対象に含めることが低消費電力上得策である。フラッシュメモリなどの不揮発性メモリは記憶情報の書換え制御のために比較的論理規模の大きな周辺回路を有し、その部分でのサブスレッショルドリーク電流を低減することが低消費電力上さらに有意義だからでもある。

【0013】

本発明の半導体データ処理装置は前記汎用バスの状態を検出してスタンバイ状態からアクティブ状態への遷移を制御する回路を有し、この回路及び前記電圧発生回路はスタンバイ状態において前記基板バイアス電圧の印加が除外される。これにより、スタンバイ状態からアクティブ状態への遷移を自立的に制御することができる。

【0014】

本発明の更に具体的な形態では、前記不揮発性ストレージデバイスとインタフェースされる第1インタフェースコントローラを有する。また、前記汎用バスとインタフェースされる第2インタフェースコントローラを有し、当該第2インタ

フェースコントローラが汎用バスの状態を検出する回路を有する。例えば前記第 1 インタフェースコントローラはメモリカードインタフェースコントローラであり、前記第 2 インタフェースコントローラは U S B インタフェースコントローラである。

【 0 0 1 5 】

本発明の更に具体的な形態では、前記第 1 インタフェースコントローラと前記第 2 インタフェースコントローラとの間のデータ転送を制御するデータ転送コントローラを有する。データ転送コントローラに対する転送制御条件の設定などの動作制御は中央処理装置が制御プログラムを実行して行う。データ転送コントローラはインタフェースコントローラからの転送要求に従って前記転送制御条件に従ってデータ転送を制御する。

【 0 0 1 6 】

本発明の更に具体的な形態として、インタフェース機能の高速化と動作時の低消費電力の双方に着目する。前記第 1 インタフェースコントローラ、第 2 インタフェースコントローラ、及びデータ転送コントローラにおけるデータの並列入出力ビット数を $2n$ ビットとすると、前記中央処理装置にはデータの並列入出力ビット数が n ビット以下のものを採用する。これは、データ転送やインタフェース動作は高速であることを要するが、インタフェース機能や転送機能に対する動作条件設定などの制御機能は左程高速であることを要しない、という観点を具現化したものである。並列データ入出力ビット数が $2n$ ビットの中央処理装置に比べれば実行部及びバッファ部におけるデータ処理単位のビット数が半分以下となり、動作待ち状態若しくはポーリング状態における消費電力を低減することができる。しかも、ストレージデバイスと汎用バスのブリッジ回路では大半が動作待ち状態になるので、動作待ち状態若しくはポーリング状態における低消費電力効果が全体として大きくなる。

【 0 0 1 7 】

上記におけるバス接続状態の具体例として、前記データ転送コントローラは $2n$ ビットの第 1 データバスに接続され、前記中央処理装置は前記第 1 データバスの下位側又は上位側の何れか一方に接続される。このとき、前記第 1 インタフェ

ースコントローラと第2インタフェースコントローラは2nビットの第2データバスに接続され、前記第1データバスを第2データバスに接続するバスコントローラが設けられ、前記バスコントローラは、第2データバスの信号線とアクセスデータのビット位置との対応を固定とし、第1データバスの信号線とアクセスデータのビット位置との対応をアクセスデータサイズに応じて可変とする。前記第1データバスの信号線とアクセスデータのビット位置との対応をアクセスデータサイズに応じて可変とすることにより、前記第1データバスの下位側又は上位側の何れか一方に接続した前記中央処理装置が2nビットのデータを複数回に分けてアクセスする動作が可能にされる。要するに、中央処理装置は前記第1インタフェースコントローラ及び第2インタフェースコントローラに2nビットの制御データを複数回に分けて設定する。第2データバスの信号線とアクセスデータのビット位置との対応を固定とすることにより、前記第1インタフェースコントローラ及び第2インタフェースコントローラはアライナを備えることを要しない。

【0018】

〔2〕本発明の別の観点による半導体データ処理装置は、中央処理装置とその制御プログラムを保有する書換え可能な不揮発性メモリを有し、スタンバイ状態において、内部クロック信号が停止され、且つ閾値電圧を大きくする方向に基板バイアス電圧が印加され、前記基板バイアス電圧の印加対象に前記中央処理装置と前記不揮発性メモリを含む。スタンバイ状態において中央処理装置の動作が停止される以上、その制御プログラムを保有する不揮性メモリも一緒に基板バイアス制御の対象に含めることが低消費電力上有意義だからである。

【0019】

ホスト装置の汎用バスに不揮発性ストレージデバイスを接続可能にするようなブリッジ回路への適用を想定するなら、前記中央処理装置の制御を受ける第1インタフェースコントローラ及び第2インタフェースコントローラと、前記第1インタフェースコントローラと第2インタフェースコントローラとの間のデータ転送を制御可能なデータ転送コントローラとをオンチップするのがよい。例えば前記第1インタフェースコントローラはメモリカードインタフェースコントローラである。前記第2インタフェースコントローラはUSBインタフェースコントロ

ーラである。

【0020】

本発明の更に具体的な形態として、上記スタンバイ時の低消費電力のほかに、インタフェース機能の高速化と動作時の低消費電力の双方に着目する。前記第1インタフェースコントローラ、第2インタフェースコントローラ、及びデータ転送コントローラにおけるデータの並列入出力ビット数を $2n$ ビットとすると、前記中央処理装置における並列データの処理単位として n ビット以下を採用する。データ転送やインタフェース動作は並列 $2n$ ビットの入出力によって高速動作可能にされ、インタフェース機能や転送機能に対する動作条件設定などの制御機能は n ビット以下の入出力動作で十分であって、動作待ち状態若しくはポーリング状態における中央処理装置の消費電力は並列データ処理単位が $2n$ ビットの中央処理装置に比べて格段に低減される。

【0021】

上記におけるバス接続状態の具体例として、前記データ転送コントローラは $2n$ ビットの第1データバスに接続され、前記中央処理装置は前記第1データバスの下位側又は上位側の何れか一方に接続される。このとき、前記第1インタフェースコントローラと第2インタフェースコントローラは $2n$ ビットの第2データバスに接続され、前記第1データバスを第2データバスに接続するバスコントローラが設けられ、前記バスコントローラは、第2データバスの信号線とアクセスデータのビット位置との対応を固定とし、第1データバスの信号線とアクセスデータのビット位置との対応をアクセスデータサイズに応じて可変とする。前記第1データバスの信号線とアクセスデータのビット位置との対応をアクセスデータサイズに応じて可変とすることにより、前記第1データバスの下位側又は上位側の何れか一方に接続した前記中央処理装置が $2n$ ビットのデータを複数回に分けてアクセスする動作が可能にされる。第2データバスの信号線とアクセスデータのビット位置との対応を固定とすることにより、前記第1インタフェースコントローラ及び第2インタフェースコントローラはアライナを備えることを要しない。

【0022】

〔3〕本発明の別の観点による半導体データ処理装置は、データの並列入出力ビット数が $2n$ ビットとされる第1周辺回路と、データの並列入出力ビット数が $2n$ ビットとされる第2周辺回路と、データの並列入出力ビット数が $2n$ ビットとされ前記第1周辺回路と前記第2周辺回路との間のデータ転送制御が可能とされるデータ転送コントローラと、前記データ転送コントローラが接続される $2n$ ビットの第1データバスと、並列データの処理単位が n ビット以下とされ前記第1データバスの下位側又は上位側の何れか一方に接続された中央処理装置と、を有する。

【0023】

前記第1周辺回路と前記第2周辺回路は $2n$ ビットの第2データバスに接続され、第1データバスを第2データバスに接続するバスコントローラが設けられる。

【0024】

前記バスコントローラは、第2データバスの信号線とアクセスデータのビット位置との対応を固定とし、第1データバスの信号線とアクセスデータのビット位置との対応をアクセスデータサイズに応じて可変とする。

【0025】

〔4〕本発明に係るデータ処理システムは、汎用バスに不揮発性ストレージデバイスを接続するためのブリッジ回路を有する。前記ブリッジ回路は前記汎用バスと不揮発性ストレージデバイスとの間のデータ転送を制御するための半導体データ処理装置を有する。前記半導体データ処理装置は、データ転送コントローラと、中央処理装置と、その制御プログラムを保有する書換え可能な不揮発性メモリとを有し、前記汎用バスの第1状態に応答してアクティブ状態からスタンバイ状態に遷移し、スタンバイ状態において、内部クロック信号を停止し、且つサブスレッショルドリーク電流を低減する方向に基板バイアス電圧を印加し、前記第1状態に続く第2状態に応答して前記スタンバイ状態からアクティブ状態に遷移する。

【0026】

前記スタンバイ状態において前記基板バイアス電圧が印加される対象には、前

記中央処理装置と不揮発性メモリを含む。

【0027】

前記不揮発性ストレージデバイスは不揮発性メモリカードであり、前記汎用バスはUSBバスであり、前記第1状態はアイドル状態であり、前記第2状態は通信要求状態である。

【0028】

〔5〕本発明の更に別の観点による半導体データ処理装置は、中央処理装置と、上記中央処理装置によって実行されるべき制御プログラムを格納する電氣的に書込み及び消去可能な不揮発性メモリと、クロック発生回路と、第1制御回路と、を有し、前記半導体データ処理装置のスタンバイ状態に応答して、前記クロック発生回路から発生されるクロック信号が停止され、且つ、前記中央処理装置、前記不揮発性メモリ及び前記クロック発生回路を構成するMOSトランジスタのサブスレッショルドリーク電流が低減される様に、前記中央処理装置、前記不揮発性メモリ及び前記クロック発生回路が前記第1制御回路によって制御される。

【0029】

前記第1制御回路は、前記スタンバイ状態に無関係に、第1及び第2電源電位が供給され、かつ、動作状態にされる。

【0030】

具体的な形態として、周辺回路(16)を有し、前記周辺回路は、結合されるべきバスの状態を検出する第1検出回路(16A)を有し、前記周辺回路の前記第1検出回路を除く回路部分は、前記スタンバイ状態に応答して前記第1制御回路によって制御され、前記第1検出回路は、前記スタンバイ状態に無関係に、第1及び第2電源電位(vdd、vss)が供給され、かつ、動作状態にされる。

【0031】

さらに、第2制御回路(13)を有し、前記第2制御回路は、前記第1検出回路の出力を検出する第2検出回路(13A)を有し、前記第2制御回路の前記第2検出回路を除く回路部分は、前記スタンバイ状態に応答して前記第1制御回路によって制御され、前記第2検出回路は、前記スタンバイ状態に無関係に、前記第1及び第2電源電位(vdd、vss)が供給され、かつ、動作状態にされる。

。

【0032】

〔6〕本発明の更に別の観点によるデータ処理システムは、汎用バスに不揮発性ストレージデバイスを接続するためのブリッジ回路を有する。前記ブリッジ回路は前記汎用バスと不揮発性ストレージデバイスとの間のデータ転送を制御するための半導体データ処理装置を有し、前記半導体データ処理装置は、データ転送コントローラと、中央処理装置と、その制御プログラムを保有する書換え可能な不揮発性メモリと、クロック発生回路と、第1制御回路と、を有する。前記半導体データ処理装置は、前記汎用バスの第1状態に応答してアクティブ状態からスタンバイ状態に移移し、前記スタンバイ状態において、前記クロック発生回路はクロック信号の発生を停止し、且つ、前記中央処理装置、前記不揮発性メモリ及び前記クロック発生回路を構成するMOSトランジスタのサブスレッショルドドリーク電流が低減される様に、前記中央処理装置、前記不揮発性メモリ及び前記クロック発生回路が前記制御回路によって制御される。前記半導体データ処理装置は、前記汎用バスの前記第1状態に続く第2状態に応答して、前記スタンバイ状態からアクティブ状態に移移する。

【0033】

前記半導体データ処理装置の前記第1制御回路は、前記スタンバイ状態に無関係に、第1及び第2電源電位（ v_{dd} 、 v_{ss} ）が供給され、かつ、動作状態にされる。

【0034】

前記半導体データ処理装置は、さらに、周辺回路（16）を有し、前記周辺回路は、前記汎用バスの状態を検出する第1検出回路（16A）を有し、前記周辺回路の前記第1検出回路を除く回路部分は、前記スタンバイ状態に応答して前記第1制御回路によって制御され、前記第1検出回路は、前記スタンバイ状態に無関係に、前記第1及び第2電源電位が供給され、かつ、動作状態にされる。

【0035】

前記半導体データ処理装置は、さらに、第2制御回路（13）を有し、前記第2制御回路は、前記第1検出回路の出力を検出する第2検出回路（13A）を有

し、前記第 2 制御回路の前記第 2 検出回路を除く回路部分は、前記スタンバイ状態に応答して前記第 1 制御回路によって制御され、前記第 2 検出回路は、前記スタンバイ状態に無関係に、前記第 1 及び第 2 電源電位 (v d d、v s s) が供給され、かつ、動作状態にされる。

【 0 0 3 6 】

【発明の実施の形態】

《ブリッジ回路のデータプロセッサ》

図 1 には本発明の一例に係るデータプロセッサが示される。同図に示されるデータプロセッサ 1 は、例えば相補型 MOS (CMOS) 集積回路製造技術によって単結晶シリコンのような 1 個の半導体基板 (半導体チップ) に形成される。

【 0 0 3 7 】

データプロセッサ 1 は、中央処理装置 (CPU) 2、データ転送コントローラとしての DMA コントローラ (DMAC) 3、CPU 2 の制御プログラムなどを格納する電氣的に書込み及び消去可能な不揮発性メモリとしてのフラッシュメモリ 4、CPU 2 の作業領域並びにデータの一時記憶に利用される揮発性メモリとしてのランダムアクセスメモリ (RAM) 5、バスコントローラ 7、クロック発生回路 8、電源回路 9、割り込みコントローラ 10、タイマカウンタ 11、シリアルコミュニケーションインタフェースコントローラ (SCI) 12、システムコントローラ 13、ウォッチドッグタイマ (WDT) 14、第 1 周辺回路若しくは第 1 インタフェースコントローラとしてのメモリカードインタフェースコントローラ 15、第 2 周辺回路若しくは第 2 インタフェースコントローラとしての USB インタフェースコントローラ 16、及び入出力ポート (PORT) 20~29 を有する。

【 0 0 3 8 】

前記 CPU 2、DMAC 3、フラッシュメモリ 4、RAM 5、及びバスコントローラ 7 は内部バス 31 に接続される。内部バス 31 は 32 ビットのデータバス 31D、アドレスバス 31A、及び図示を省略するコントロールバス (制御信号バス) から成る。前記内部バス 31 はバスコントローラ 7 を介して周辺バス 32 と、別の周辺バス 33 にインタフェースされる。前記周辺バス 32 は 32 ビット

のデータバス 32 D、アドレスバス 32 A 及び図示を省略するコントロールバス（制御信号バス）から成る。前記周辺バス 33 は 16 ビットのデータバス 33 D、アドレスバス 33 A 及び図示を省略するコントロールバス（制御信号バス）から成る。前記周辺バス 32 には前記 USB インタフェースコントローラ 16 とメモ리카ードインタフェースコントローラ 15 が接続される。前記周辺バス 33 には、前記割込みコントローラ 10、TMR 11、SCI 12、システムコントローラ 13、WDT 14、及び入出力ポート 20～29 が接続される。

【0039】

前記内部バス 31 はバスコントローラ 7 を介して周辺バス 32, 33 とインタフェース可能にされる。

【0040】

入出力ポート 20～29 のうち所定の入出力ポート、例えば入出力ポート 27 は前記 USB インタフェースコントローラ 16 の外部接続ポートに割り当てられ、入出力ポート 26 はメモ리카ードインタフェースコントローラ 15 の外部接続ポートに割り当てられる。その詳細は後述するが、データプロセッサ 1 は PC 等のホスト装置の汎用バス例えば USB バスに不揮発性ストレージデバイス例えばメモ리카ードを接続可能にするブリッジ回路に適用され、入出力ポート 27 はその外部で USB バスに接続され、前記入出力ポート 26 はその外部でメモ리카ードのコネクタに接続される。USB インタフェースコントローラ 16 とメモ리카ードインタフェースコントローラ 15 の間のデータ転送制御は前記 DMAC 3 が行う。USB インタフェースコントローラ 16、メモ리카ードインタフェースコントローラ 15、及び DMAC 3 に対する動作動作条件の設定などの動作制御は CPU がフラッシュメモリ 4 の制御プログラムを実行して行う。

【0041】

データプロセッサ 1 においてバスマスタモジュールは、前記 CPU 2 及び DMAC 3 である。前記 CPU 2 は、例えばフラッシュメモリ 4 から命令をフェッチし、取り込んだ命令を解読する命令制御部と、命令制御部による命令解読結果に従って汎用レジスタや算術論理演算器などを用いて演算処理を行なう実行部とを有する。DMAC 3 は CPU 2 によりデータ転送条件が初期設定され、周辺回路

15, 16 などからのデータ転送要求に応答して、データ転送制御を行う。

【0042】

バスコントローラ 7 は、バスマスタモジュールである CPU 2 及び DMAC 7 等との間のバス権要求の競合に対する調停を行う。調停論理は例えば優先順位に基づく調停制御である。調停の結果、バス権が与えられたバスマスタモジュールは、バスコマンドを出力し、バスコントローラ 7 は、このバスコマンドに基づいてバスの制御を行なう。

【0043】

割り込みコントローラ 10 は、周辺バス 22 に接続されるシステムコントローラ 13 等の回路モジュールから出力される代表的に示された割り込み要求信号 IR_{stb} 、 IR_{act} を入力し、入力された割り込み要求信号に対して優先制御及びマスク制御を行って、割り込み要求を受け付ける。割り込みコントローラ 10 は、割り込み要求を受け付けると、CPU 2 に割込信号 IRQ を出力する。CPU 2 は割込信号 IRQ が与えられると、実行中の処理を中断して、割り込み要因に応じた所定の処理ルーチンに分岐する。分岐先の処理ルーチンの最後では、復帰命令が実行され、この命令を実行することによって前記中断した処理が再開可能にされる。割り込み要求信号 IR_{stb} はスタンバイ状態への割り込み要求信号である。割り込み要求信号 IR_{act} はスタンバイ状態からアクティブ状態への復帰を要求する割り込み要求信号である。

【0044】

前記クロック発生回路 8 は、特に制限されないが、クロック発振器 8A の発振出力を PLL (フェーズロックドループ) 回路 8B で倍周乃至逡倍してシステムクロック信号 ϕ を生成する。クロック発生回路 8 の発振動作はシステムコントローラ 13 から出力されるクロック制御信号 CKC で停止、開始が制御可能にされる。

【0045】

第 1 制御回路としての電源回路 9 は、外部端子より供給される 3.3V の電源 ($VCC = 3.3V$ 、 $VSS = 0V$) を降圧して、1.9V の内部電源 ($v_{dd} = 1.9V$ 、 $v_{ss} = 0V$) をチップ内に供給する。さらに電源回路 9 は、基板

バイアスをひくための基板電源としての基板バイアス電圧 (v_{bn} 、 v_{bp}) と制御信号としての制御電圧 (v_{bcn} 、 v_{bcp}) を生成し、チップ内に供給する。基板バイアス電圧 v_{bp} 、 v_{bn} は、通常動作状態であるアクティブ状態では、1.9 V、0 V となるが、低消費電力状態であるスタンバイ状態（待機状態）では、3.3 V、-1.8 V となり、同時に $v_{dd} = 1.5$ V として、内部回路のサブスレッショルドドリーク電流を低減する。アクティブ状態とスタンバイ状態に応ずる上記基板バイアス制御及び電源制御はシステムコントローラ 13 からの電源制御信号 PWC によって指示される。

【0046】

前記電源回路 9 からチップ内部への動作電源及び基板バイアス電圧の供給経路は図 2 のようになっている。同図ではチップ内の内部回路 1 は直列接続された 2 個の CMOS インバータで代表され、同様に、内部回路 2 は直列接続された 2 個の CMOS インバータで代表される。それぞれの CMOS インバータは p チャネル型 MOS トランジスタ M_p と n チャネル型 MOS トランジスタ M_n によって構成される。通常動作状態において $v_{dd} = v_{bp} = 1.9$ V、 $v_{ss} = v_{bn} = 0$ V とされ、MOS トランジスタ M_n 、 M_p の基板・ソース間電位は 0 V にされる。 v_{bcp} 、 v_{bcn} の値は任意でよい。スタンバイ状態では、 $v_{dd} = 1.5$ V、 $v_{bp} = 3.3$ V、 $v_{ss} = 0$ V、 $v_{bn} = -1.8$ V とされ、MOS トランジスタ M_p 、 M_n の基板・ソース間電位は逆方向に 1.8 V とされる。 v_{bcp} は v_{bp} の電圧と等しく、 v_{bcn} は v_{bn} の電位と等しくされ、スイッチ MOS トランジスタ M_{psw} 、 M_{nsw} はカットオフ状態にされる。この基板バイアス状態によりチップ内の MOS トランジスタ M_n 、 M_p の閾値電圧が大きくなって、内部回路 1 を構成する各 MOS トランジスタのサブスレッショルドドリーク電流が抑制される。一方、内部回路 2 を構成する各 MOS トランジスタ M_p 及び M_n の基板ゲートは、それぞれ内部電源 v_{dd} 及び v_{ss} にそれぞれ結合される。内部回路 2 は、後述されるように、電源回路 9、システムコントローラ 13 内の回路部分 13A 及び USB バス状態検出回路 16A 等のように、スタンバイ状態でも回路動作の必要な回路を示している。

【0047】

システムコントローラ 1 3 は、リセット信号 R E S、モード信号 M D 0 ~ M D 2、スタンバイ信号 S T B、サスペンド信号 S P D 等を入力して、データプロセッサ 1 の動作モードを制御する。

【 0 0 4 8 】

データプロセッサ 1 にリセット信号 R E S が与えられると、C P U 2 等のオンチップ回路モジュールはリセット状態とされる。このリセット信号 R E S によるリセット状態が解除されると、C P U 2 は所定の制御プログラムのスタートアドレスから命令をフェッチし、プログラムの実行を開始する。

【 0 0 4 9 】

図 3 にはフラッシュメモリ 4 の詳細な一例が示される。メモリアレイ (M A R Y) 6 0 は、マトリクス配置された多数の不揮発性メモリセルを有する。不揮発性メモリセルは、フローティングゲートに対する電荷の注入又は放出による閾値電圧の相違によって情報記憶を行うフローティングゲート型、或いは非導電性電荷トラップ領域にトラップされる電荷トラップ位置に応じて情報記憶を行う電荷偏在保持型等を採用することができる。ロウデコーダ (R D E C) 6 1 はロウアドレス信号をデコードして不揮発性メモリセルのワード線を選択する。センスラッチアレイ (S L A) 6 2 は不揮発性メモリセルのビット線毎に、書込み制御情報をラッチし、或いは読出しデータをセンスするセンスラッチ回路を備える。データラッチ回路 (D L A T) 6 3 はデータバス 3 1 D から書込みデータを入力し、データバス 3 1 D に読出しデータを出力する。センスラッチアレイ 6 2 のセンスラッチ回路とデータラッチ回路 6 3 とはカラムスイッチ回路 (C S W) 6 4 で接続可能にされる。カラムデコーダ (C D E C) 6 5 はカラムアドレス信号をデコードして、カラムスイッチ回路 6 4 によりデータラッチ回路 6 3 に接続するセンスラッチ回路を選択制御する。モード制御回路 (M D C) 6 7 は、アクセス制御信号を入力して、書込み、消去、読み出し等のメモリ動作を制御する。高電圧発生回路 (V P G) 6 6 は書込み及び消去に必要な高電圧をチャージポンプ等により発生する。高電圧はメモリアレイ 6 0、ロウデコーダ 6 1、センスラッチアレイ 6 2 などに供給される。

【 0 0 5 0 】

フラッシュメモリ 4 の動作電源は前記 v_{dd} 、 v_{ss} であり、スタンバイ時における基板バイアス電圧 v_{bn} 、 v_{bp} による基板バイアスもフラッシュメモリ 4 の全体に対して行われる。

【0051】

図 4 には図 1 のデータプロセッサ 1 を適用したデータ処理システム例えばノート型 PC のプロセッサボード 39 の概略的な構成が例示される。プロセッサボード 39 はプリント配線基板に種々の半導体集積回路チップや回路モジュールが実装されて構成される。このプロセッサボード 39 に実装されたマイクロプロセッサ 40 には、ノースブリッジ (North Bridge) と呼ばれるチップセット (ノースブリッジチップ) 41 が接続され、このノースブリッジチップ 41 にグラフィックチップ 42、SDRAM (シンクロナス・ダイナミック・ランダム・アクセス・メモリ) 等から成るメインメモリ 43、PCI (ペリフェラル・コンポーネント・インターコネクト) バス 44 が接続される。グラフィックチップ 42 には図示を省略する液晶ディスプレイが接続される。PCI バス 44 にはサウスブリッジ (South Bridge) と呼ばれるチップセット (サウスブリッジチップ) 45、モデムユニット 46、カードバスユニット 47 等が接続される。サウスブリッジチップ 45 は IDE (インテグレートッド・デバイス・エレクトロニクス) ポート 48、ISA (インダストリー・スタンダード・アーキテクチャ) バス (又は LPC (ロー・ピン・カウント) 49、USB バス 50 に接続される。前記 IDE ポートにはそれぞれ図示を省略する CD-ROM (コンパクト・ディスク・リード・オンリ・メモリ) や HDD (ハード・ディスク・ドライブ) 等が接続される。ISA バス (又は LPC) 49 には BIOS チップ 51 やサウンドユニット 52 などが接続される。USB バス 50 には前記データプロセッサ 1 がメモリカード 53 のブリッジ回路として接続される。USB インタフェースコントローラ 16 が USB バス 50 に接続され、メモリカードインタフェースコントローラ 15 がコネクタ 54 を介してメモリカード 53 に接続可能にされる。特に制限されないが、USB インタフェースコントローラ 16 及び USB バス 50 は USB バージョン 2.0 規格に準拠する。

【0052】

ノートPCには、メインメモリ43の内容を保持したまま、システムクロック信号を停止し、液晶ディスプレイや内蔵ハードディスクなどの電源を切ることで、消費電力を低減するサスペンドモード（ノートPCのスタンバイモード）が備わっている。

【0053】

ノートPCがサスペンド状態になると、前記サウスブリッジチップ45の動作クロック信号も停止され、これによって、USBバス50はデータ通信の起きない状態（USBアイドル状態）で停止する。データプロセッサ1は、このアイドル状態に応答してスタンバイ状態とされる。

【0054】

《スタンバイ・アクティブ遷移制御》

前記データプロセッサ1において、アイドル状態に응答するスタンバイ状態への遷移と、スタンバイ状態からアクティブ状態へ復帰する制御について説明する。

【0055】

図5にはノートPCがサスペンド状態となり、その後サスペンド状態から復帰して動作を開始する場合のタイミングが例示される。USBインタフェースコントローラ16はUSBバス50の状態を検出してインタフェース動作を行う。USBインタフェースコントローラ16は、USBアイドル状態を一定時間（ T_i ）以上検出しつづけると、内部信号であるサスペンド信号SPDをアサートする（時刻 t_1 ）。システムコントローラ13は、USBインタフェースコントローラ16からアサートされたサスペンド信号SPDを受け付けると、サスペンド割り込み要求信号IRstbを割り込みコントローラ10にアサートする（時刻 t_2 ）。割り込みコントローラ10は割り込み要求の優先度や割り込み競合状態を判定し他結果、そのサスペンド割り込み要求を受け付けると、割込信号IRQをCPU2にアサートする。CPU2は処理中の命令実行を完了してから、その割り込み要求で指定される割り込みベクタから分岐先アドレスを取得し、CPUスタンバイ命令を実行する（時刻 t_3 ）。これによってCPU2はスタンバイフラグ（図示せず）をセットし、スタンバイ信号STBをシステムコントローラ13にアサートする。システムコントローラ13はクロック制御信号CKCをアサー

トしてクロック発生回路 8 によるクロック発生動作を停止すると同時に、電源制御信号 PWC をアサートして、電源回路 9 に基板バイアスを引くよう要求する。これによって電源回路 9 は、図 2 で説明したように v_{bn} 、 v_{bp} を図示の値に制御し、バックバイアスを引くことにより、内部回路のサブスレッショルドリーク電流を低減した低消費電力状態へ遷移する。

【0056】

ノート PC がサスペンド状態から復帰し、再び動作を開始すると、USB バス 50 は、通信要求の状態とされる。データプロセッサ 1 はその通信要求状態に応答してアクティブ状態に遷移することが必要である。USB インタフェースコントローラ 16 において USB バス 50 の通信要求に応答してサスペンド信号 SPD をネゲートする回路 (USB バス状態検出回路又は第 1 検出回路) 16A はデータプロセッサ 1 のスタンバイ状態においても基板バイアス電圧が印加されず、動作可能な状態に維持される。その他、スタンバイ状態においても基板バイアス電圧が印加されずに動作可能な状態に維持されるべき回路は、ネゲートされたサスペンド信号 SPD を検出して電源回路 9 を制御する回路部分 (第 2 検出回路回路) 13A とされる。前記電源回路 9 も当然基板バイアスされない。スタンバイ状態において基板バイアスされない回路 13A, 16A, 9 は纏めてレイアウトされることが望ましい。

【0057】

前記 USB バス状態検出回路 16A が USB バス 50 の通信要求状態を検知すると、前記サスペンド信号 SPD がネゲートされる (時刻 t_4)。これを受けてシステムコントローラ 13 は、先ず、電源制御信号 PWC をネゲートして、電源回路 9 による基板バイアスを停止させ、内部電圧 v_{dd} 、 v_{ss} 、 v_{bp} 、 v_{bn} を通常動作電圧に変化させる。電源回路 9 の内部でそれら電圧の安定化を監視し、安定化したところで、システムコントローラ 13 はクロック制御信号 CKC をネゲートして、クロック発生回路 8 にクロック信号 ϕ の発振動作を再開させる (時刻 t_5)。発振安定化する所定期間 (例えば数十 μ 秒) を経た後、システムコントローラ 13 は割り込みコントローラ 10 に割り込み要求信号 IRact をアサートして、割り込み信号 IRQ により CPU 2 はスタンバイ状態からアクテ

ィブ状態への遷移を認識する。これにより、U S Bバス50からの通信要求を受けたU S Bインタフェースコントローラ16はC P U 2の制御の下でデータ通信が可能になり、D M A C 3を介してU S Bバス50からメモリカード53へに書き込み、或いはメモリカード53からU S Bバス50へのデータ読出しが可能にされる。

【0058】

上記データプロセッサのスタンバイ・アクティブ遷移制御によれば、前記U S Bバス50の状態に応答してアクティブ状態とスタンバイ状態の制御を行うから、U S Bバス50のような汎用バスにメモリカード53のような不揮発性ストレージデバイスを接続するブリッジ回路に最適であり、前記スタンバイ状態において内部クロック信号を停止し、且つクロッサブスレッシュホールドリーク電流を低減する方向に基板バイアス電圧を印加するから、スタンバイ状態における低消費電力を実現することができる。

【0059】

また、前記C P U 2とフラッシュメモリ4は前記基板バイアス電圧の印加対象とされる。スタンバイ状態においてC P U 2の動作が停止される以上、その制御プログラムを保有するフラッシュメモリ4も一緒に基板バイアス制御の対象に含めることが低消費電力上得策である。フラッシュメモリは記憶情報の書換え制御のために比較的論理規模の大きな周辺回路としてモード制御回路67や高電圧発生回路67を有し、その部分でのサブスレッシュホールドリーク電流を低減することが低消費電力上さらに有意義だからでもある。

【0060】

前記U S Bバス50の状態を検出してスタンバイ状態からアクティブ状態への遷移を制御する回路16A, 13Aと前記電源回路9はスタンバイ状態において前記基板バイアス電圧の印加が除外されるから、スタンバイ状態からアクティブ状態への遷移を自立的に制御することができる。

【0061】

上記においては、スタンバイ状態において基板バイアス電圧を印加することによって、M O Sトランジスタのサブスレッシュホールド電流の低減を行う方法

に関して説明されたが、それに限定される物ではない。すなわち、MOSトランジスタのサブスレッシュホールド電流の低減は、図14に示される様な方法であっても良い。この場合、内部回路1は内部電源配線 $i v d d$ 及び $i v s s$ の間に結合された複数のインバータと、内部電源配線 $i v d d$ 及び $i v s s$ と降圧電源配線 $v d d$ 及び $v s s$ との間にそれぞれ結合されたパワースイッチ用Pチャネル型MOSトランジスタ $M p s w 1$ およびパワースイッチ用Nチャネル型MOSトランジスタ $M n s w 1$ とによって構成される。内部回路2は、図2の構成と同様であるため説明を省略する。パワースイッチ用Pチャネル型MOSトランジスタ $M p s w 1$ は、スタンバイ状態において、電源回路9から発生させる制御信号 $V c p$ によって非動作状態に制御される。また、パワースイッチ用Nチャネル型MOSトランジスタ $M n s w 1$ も、スタンバイ状態において、電源回路9から発生させる制御信号 $V c n$ によって非動作状態に制御される。その結果、スタンバイ状態において、内部回路1を構成する複数のインバータは内部降圧電源を供給されないので、内部回路1の複数のインバータを構成するMOSトランジスタのサブスレッシュホールド電流は低減される。一方、アクティブ状態においては、パワースイッチ用Pチャネル型MOSトランジスタ $M p s w 1$ およびパワースイッチ用Nチャネル型MOSトランジスタ $M n s w 1$ は、電源回路9から発生させる制御信号 $V c n$ によって動作状態に制御されるので、内部回路1を構成する複数のインバータは内部降圧電源を供給される。

【0062】

《インタフェースの高速化と動作時の低消費電力》

図6には前記バスコントローラ7におけるデータバスブリッジ部分の詳細が例示される。

【0063】

USBバージョン2.0の規格ではデータ転送レートが毎秒480メガビットとされ、次世代のメモリーカードインタフェースではアクセス速度が毎秒100～200メガビットとされ、これらのデバイス間でデータをブリッジする用途のデータプロセッサ1では、転送速度をどこまで引き上げられるかが一つの重要な課題となる。

【0064】

そこで、周辺データバス 32D を 32 ビットとし、これに接続する USB インタフェースコントローラ 16、メモリーカードインタフェースコントローラ 15 も並列データ入出力ビット数を 32 ビットとした。さらに、DMAC 3 の並列データ入出力ビット数も 32 ビットとし、内部データバス 31D のバス幅も 32 ビットとして、USB インタフェースコントローラ 16 とメモリーカードインタフェースコントローラ 15 との間の DMA 送を 32 ビットで行えるようにした。

【0065】

こうしたブリッジ用のデータプロセッサ 1 では、データ転送以外の処理は、それほど高速性が要求されない。ノート型 PC に適用されるような消費電力が重要となる分野では、16 ビット CPU で十分な処理能力が出せるのに、わざわざ消費電力の大きな 32 ビット CPU を使う必要はない。そこで、データプロセッサ 1 の CPU 2 には、16 ビットで低消費電力な CPU を採用した。16 ビット CPU とはデータ処理単位が 16 ビットの実行部若しくは演算部を有する CPU であり、データの並列入出力ビット数は通常 16 ビットである。

【0066】

CPU 2 の 16 ビットのデータ入出力端子は内部データバスの下位 16 ビット IDB[15:0] に接続される。ここでは、アドレス信号はバイトアドレスとされ、ロングワードのバイトデータデータ D0～D3 とアドレス下位 2 ビットとの対応は図 7 に示される対応とする。このとき、データサイズに応ずる内部データバス 31D 上でのデータアライメントは図 8 に例示される。内部データバス 31D の上位 16 ビット IDB[31:15] は、DMAC 3 がロングワード (32 ビット) アクセスする時だけ使用され、ワード (16 ビット)、バイト (8 ビット) アクセスの場合には、32 ビットバス 31D が接続された DMAC 3 であっても、下位 16 ビットのみを使用するようにした。要するに、内部データバス 31D の信号線とアクセスデータのビット位置との対応はアクセスデータサイズに応じて可変とされる。可変とすることにより、内部データバス 31D の下位側に接続された CPU 2 が 32 ビットのデータを 2 回に分けてアクセスする動作が可能にされる。

【0067】

周辺バス 32D は、図 9 に示すように、ワード、バイトアクセスであっても、対象となるアドレスによって、上位側のデータバスにもデータが出力されるようにする。要するに、周辺データバス 32D の信号線とアクセスデータのビット位置との対応はアクセスデータサイズにかかわらず固定とされる。固定アライメントとすることにより、USB インタフェースコントローラ 16 及びメモリーカードインタフェースコントローラ 15 のような周辺モジュールはデータ入出力におけるアライナを備えることを要せず、その設計が容易になる。

【0068】

前記バスコントローラ 7 は上述のデータアライメントの異なる内部データバス 31 と周辺データバス 32 をブリッジさせるデータバスブリッジ部分として、図 6 に例示される第 1 ラッチ回路 LAT1 乃至第 4 ラッチ回路 LAT4、セクタ SL1、バスドライバ BD1、バスドライバ BD2、バスドライバ BD3a、バスドライバ BD3b、及びバスドライバ BD4 を有する。それらに対するラッチ制御、選択制御、駆動制御は、バス権を獲得しているアクセス主体の種別、アクセスデータサイズ、アクセス方向に従って、バスコントローラ 7 内部の図示を省略するバス制御ロジックで行われる。

【0069】

図 10 には DMAC を使って USB インタフェースコントローラ 16 又はメモリーカードインタフェースコントローラ 15 にロングワードライトアクセスする場合のバスブリッジ制御形態が例示される。図 11 には DMAC を使って USB インタフェースコントローラ 16 又はメモリーカードインタフェースコントローラ 15 にロングワードリードアクセスする場合のバスブリッジ制御形態が例示される。DMAC 3 も、周辺モジュール（USB インタフェースコントローラ 16、メモリーカードインタフェースコントローラ 15）も並列データ入出力ビット数は 32 ビットであるから、ロングワードアクセスは、1 回のバスサイクルで終了する。

【0070】

図 10 のロングワードライトアクセス時は、上位側のデータ（D3，D2）は

IDB[31:16]→SL1→LAT1→BD1→PDB[31:16]と転送され、下位側のデータ(D1, D0)はIDB[15:0]→LAT2→BD2→PDB[15:0]と転送され、周辺モジュールのデータレジスタへ書き込まれる。

【0071】

図11のロングワードリードアクセス時は、上位側のデータ(D3, D2)はPDB[31:16]→LAT3→BD3a→IDB[31:16]と転送され、下位側のデータ(D1, D0)はPDB[15:0]→LAT4→BD4→IDB[15:0]と転送され、DMAC3のデータレジスタに読み込まれる。

【0072】

図12にはCPU2からUSBインタフェースコントローラ16又はメモリーカードインタフェースコントローラ15にロングワードデータをライトアクセスする場合のバスブリッジ制御形態が例示される。図13にはCPU2がUSBインタフェースコントローラ16又はメモリーカードインタフェースコントローラ15からロングワードデータをリードアクセスする場合のバスブリッジ制御形態が例示される。CPU2の並列データ入出力ビット数は16ビットしかないため、ロングワードアクセスは、2回のワードアクセスに分割される。

【0073】

ライトアクセス時は、CPU2の一回目のアクセスで、上位側データ(D3, D2)がIDB[15:0]→SDL1→LAT1に転送され、一旦ラッチ回路LAT1でデータを貯える。CPUの2回目のアクセスで、下位側データ(D1, D0)がIDB[15:0]→LAT2→BD2→PDB[15:0]へと転送され、これに並行して、既にラッチされている上位側データ(D3, D2)がLAT1→BD1→PDB[31:0]へと転送され、USBインタフェースコントローラ16又はメモリーカードインタフェースコントローラ15のデータレジスタにデータD3～D0が書き込まれる。

【0074】

リードアクセス時は、CPU2の1回目のアクセスで、上位側データ(D3, D2)がPDB[31:16]→LAT3→BD3b→IDB[15:0]へと転送され、1回目の読み出しが行われるのに並行して、下位側データ(D1, D0)

がPDB[15:0]→LAT4へと転送され、一旦ラッチ回路LAT4でデータを貯える。CPU2の2回目のアクセスで、既にラッチされている下位側データ(D1, D0)がLAT4→BD4→IDB[15:0]へと転送され、2回目の読み出しで、データD3～D0がCPU2に読み込まれる。

【0075】

以上のバスブリッジ機構を採用することにより、USBインタフェースコントローラ16とメモリーカードインタフェースコントローラ15間のデータ転送を32ビットのデータバス31D、32Dで高速に行うことができ、また、USBインタフェースコントローラ16及びメモリーカードインタフェースコントローラ15のレジスタに割り付けられた、各種フラグのポーリング、設定ビットの書き込みなどの制御処理は、16ビットバスIDB[15:0]で接続された16ビットCPU2で処理するからアクティブ時のCPU2による電力消費も低減することができる。

【0076】

データプロセッサ1をUSBバス50のような汎用バスとメモリーカード53のようなストレージデバイスとの間のブリッジ回路に採用することにより、スタンバイ時の低消費電力と、アクティブ時の高速データ転送並びに低消費電力化の双方を実現することができる。

【0077】

以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0078】

例えば、例えば汎用バスはUSBバージョン2.0準拠のバスに限定されず、その他のバージョンのUSBバス、ISAバスなど他の規格のバスであてよい。ストレージデバイスはメモリーカードに限定されない。メモリーカードもフラッシュメモリーカードのような不揮発性メモリーカードだけでなく、揮発性メモリーカードであってもよい。或いはカード型ハードディスクドライブであってもよい。

【0079】

バスブリッジの機構は汎用バスとストレージデバイスのブリッジ回路の限定されず、種々のブリッジ回路に適用可能である。

【 0 0 8 0 】

インタフェースコントローラ及びデータ転送コントローラの並列データ入出力ビット数とCPUのビット数の関係は、32ビットと16ビットに限定されない。更に高速のデータ転送をサポートする場合には、前者を64ビット、後者を16ビットとしたり、前者を128ビット、後者を32ビットにしたりする選択も可能である。

【 0 0 8 1 】

不揮発性メモリはフラッシュメモリに限定されない。高誘電体メモリなどであってもよい。1個の不揮発性メモリセルに対する情報記憶は2値に限定されず、4値等の多値記憶であってもよい。

【 0 0 8 2 】

データプロセッサのオンチップモジュールは上記データプロセッサに限定されず、適宜変更可能である。上記データプロセッサ1は、オンボードでオンチップフラッシュメモリ4の書換えを可能にするものであり、例えば、書換えデータや書換え制御プログラムを入力するためにSCI12を搭載しているが、それ以外のインタフェースを実装してもよい。更に、オンチップの論理を大規模化したシステムLSIとして実現することも可能である。

【 0 0 8 3 】

また、内部バスに対するCPUの接続は下位側に限定されず、上位側としてもよい。何れを採用するかは、アドレスに対するデータ配列がビッグエンディアンか、リトルエンディアンかに応じて決定することも可能である。

【 0 0 8 4 】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるノート型PCのブリッジ回路に適用した場合について説明したが、本発明はそれに限定されず、PDA（パーソナル・データ・アシスタント）のような携帯端末、更にはその他のデータ処理システムに広く適用することができる。

【 0 0 8 5 】**【発明の効果】**

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【 0 0 8 6 】

すなわち、ブリッジ回路用の半導体データ処理装置において待機時の低消費電力を実現することができる。

【 0 0 8 7 】

ブリッジ回路用の半導体データ処理装置においてインタフェース機能の高速化を保証しつつ動作時の低消費電力を実現することができる。

【 0 0 8 8 】

ブリッジ回路用等の半導体データ処理装置において待機時とインタフェース動作時の両面から低消費電力を実現することができる。

【図面の簡単な説明】**【図 1】**

本発明の一例に係るデータプロセッサの一例を示すブロック図である。

【図 2】

電源回路からチップ内部への動作電源及び基板バイアス電圧の供給経路を例示する回路図である。

【図 3】

フラッシュメモリの詳細な一例を示すブロック図である。

【図 4】

図 1 のデータプロセッサを適用したデータ処理システム例えばノート型 P C のプロセッサボードの概略的な構成を例示するブロック図である。

【図 5】

ノート P C がサスペンド状態となり、その後サスペンド状態から復帰して動作を開始する動作を例示するタイミングチャートである。

【図 6】

バスコントローラにおけるデータバスブリッジ部分の詳細を例示するブロック

図である。

【図 7】

ロングワードのバイトデータ D 0 ～ D 3 とアドレス下位 2 ビットとの対応を例示する説明図である。

【図 8】

データサイズに応ずる内部データバス上でのデータアライメントを例示する説明図である。

【図 9】

周辺データバスの信号線とアクセスデータのビット位置との対応をアクセスデータサイズにかかわらず固定とするデータアライメントの一例を示す説明図である。

【図 1 0】

DMA C を使って U S B インタフェースコントローラ又はメモリーカードインタフェースコントローラにロングワードライトアクセスする場合のバスブリッジ制御形態を例示する説明図である。

【図 1 1】

DMA C を使って U S B インタフェースコントローラ又はメモリーカードインタフェースコントローラにロングワードリードアクセスする場合のバスブリッジ制御形態を例示する説明図である。

【図 1 2】

C P U から U S B インタフェースコントローラ又はメモリーカードインタフェースコントローラにロングワードデータをライトアクセスする場合のバスブリッジ制御形態を例示する説明図である。

【図 1 3】

C P U が U S B インタフェースコントローラ又はメモリーカードインタフェースコントローラからロングワードデータをリードアクセスする場合のバスブリッジ制御形態を例示する説明図である。

【図 1 4】

電源回路からチップ内部への動作電源及びパワースイッチトランジスタ M p s

w 1 および M n s w 1 を利用する場合の内部回路 1 を例示する回路図である。

【符号の説明】

1 データプロセッサ

2 C P U

3 D M A C

4 フラッシュメモリ

5 R A M

7 バスコントローラ

8 クロック発生回路

9 電源回路

v b n, v b p 基板バイアス電圧

v d d、v s s 内部電源電圧

1 0 割り込みコントローラ

1 3 システムコントローラ

1 5 メモリカードインタフェースコントローラ

1 6 U S B インタフェースコントローラ

1 3 A, 1 6 A 汎用バスの状態を検出してスタンバイ状態からアクティブ状態への遷移を制御する回路

3 1 内部バス

3 1 D 3 2 ビット内部データバス

3 2 周辺バス

3 2 D 3 2 ビット周辺データバス

3 3 周辺バス

3 3 D 1 6 ビット周辺データバス

I R s t b スタンバイ状態への割り込み要求信号

I R a c t アクティブ状態への割り込み要求信号

I R Q 割り込み信号

S P D サスペンド信号

S T B スタンバイ信号

P W C 電源制御信号

C K C クロック制御信号

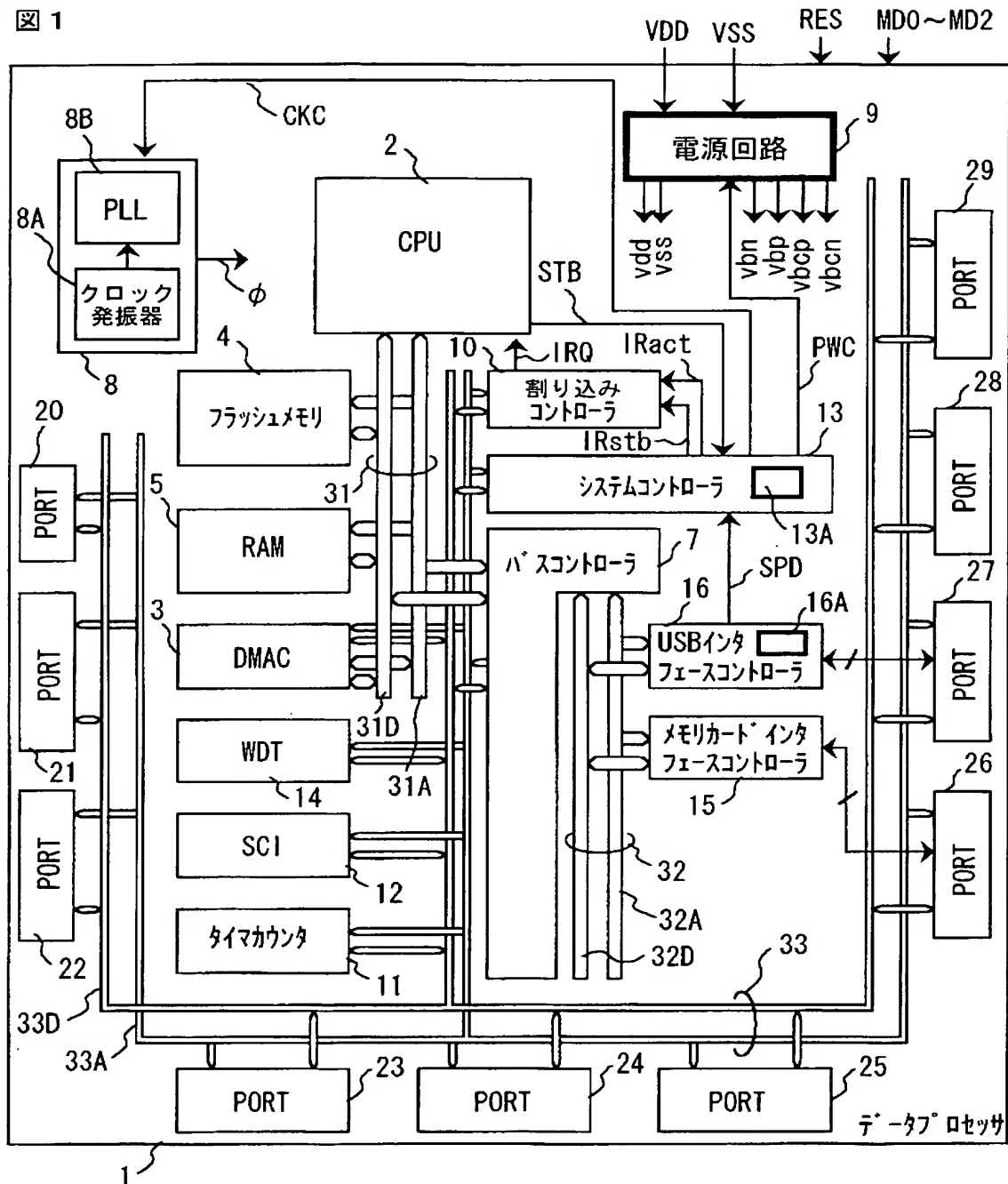
5 0 U S B バス

5 3 メモリカード

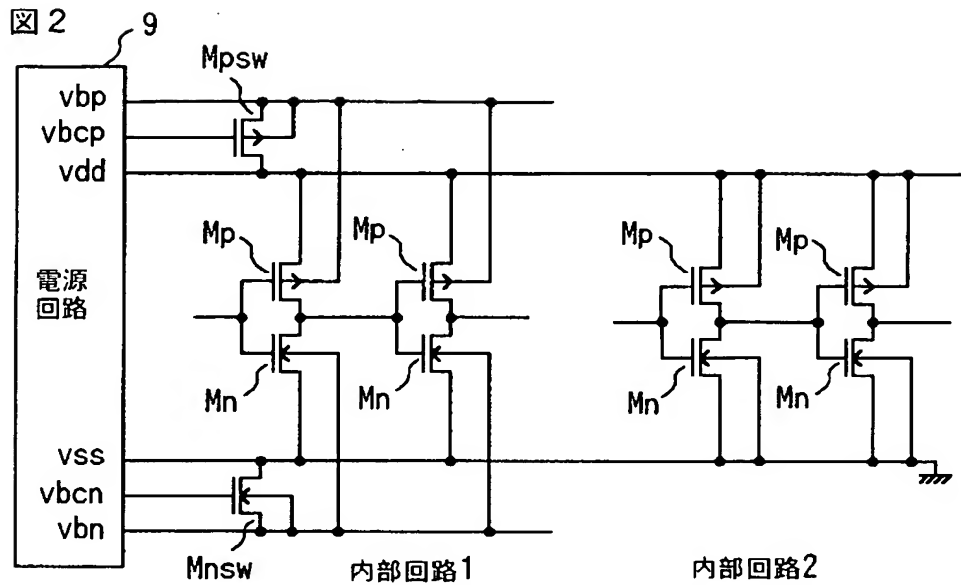
【書類名】 図面

【図 1】

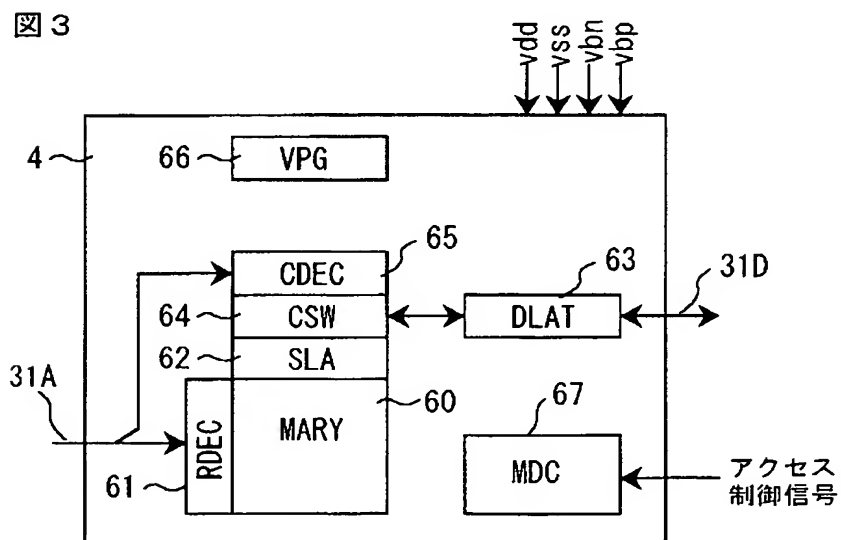
図 1



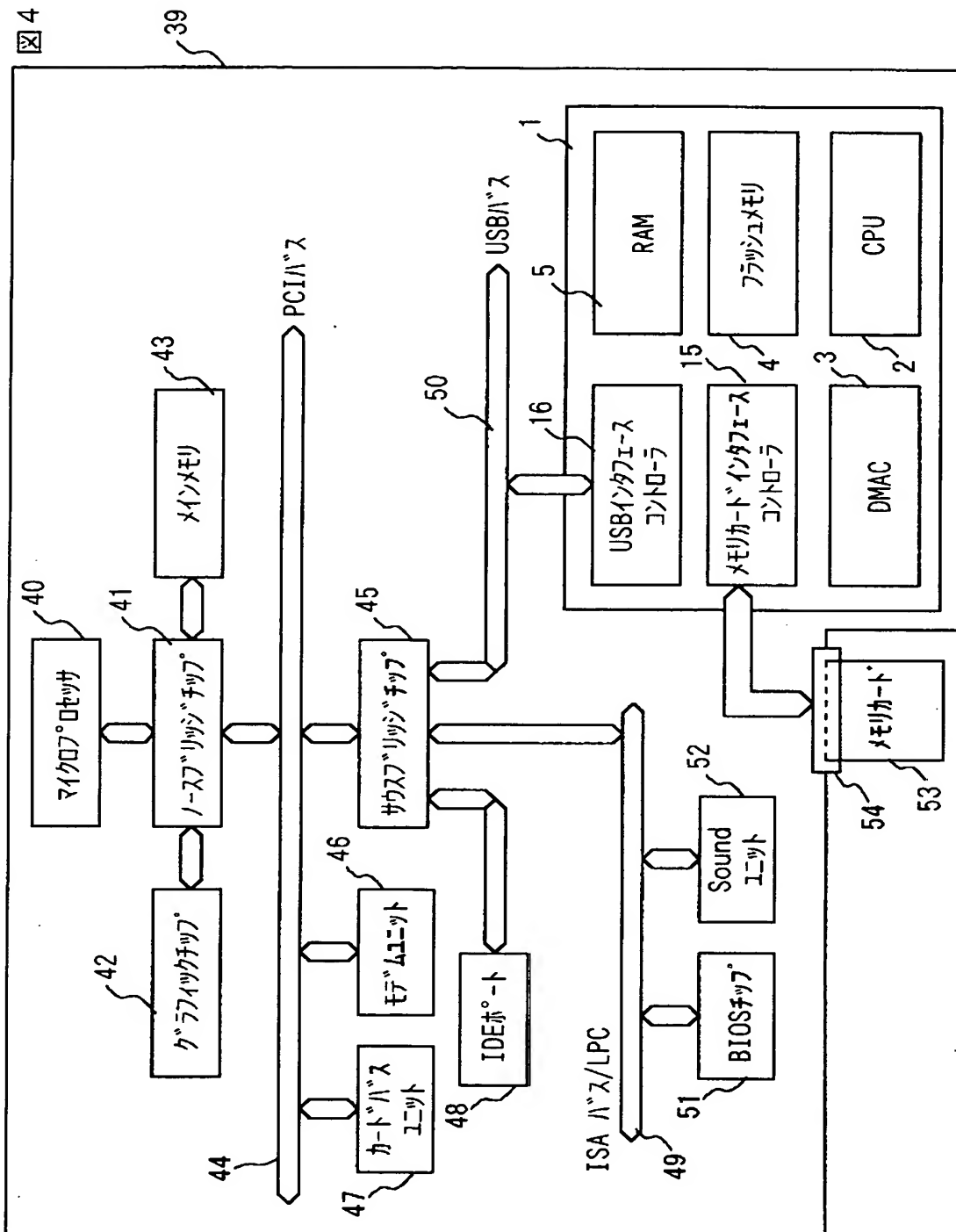
【図 2】



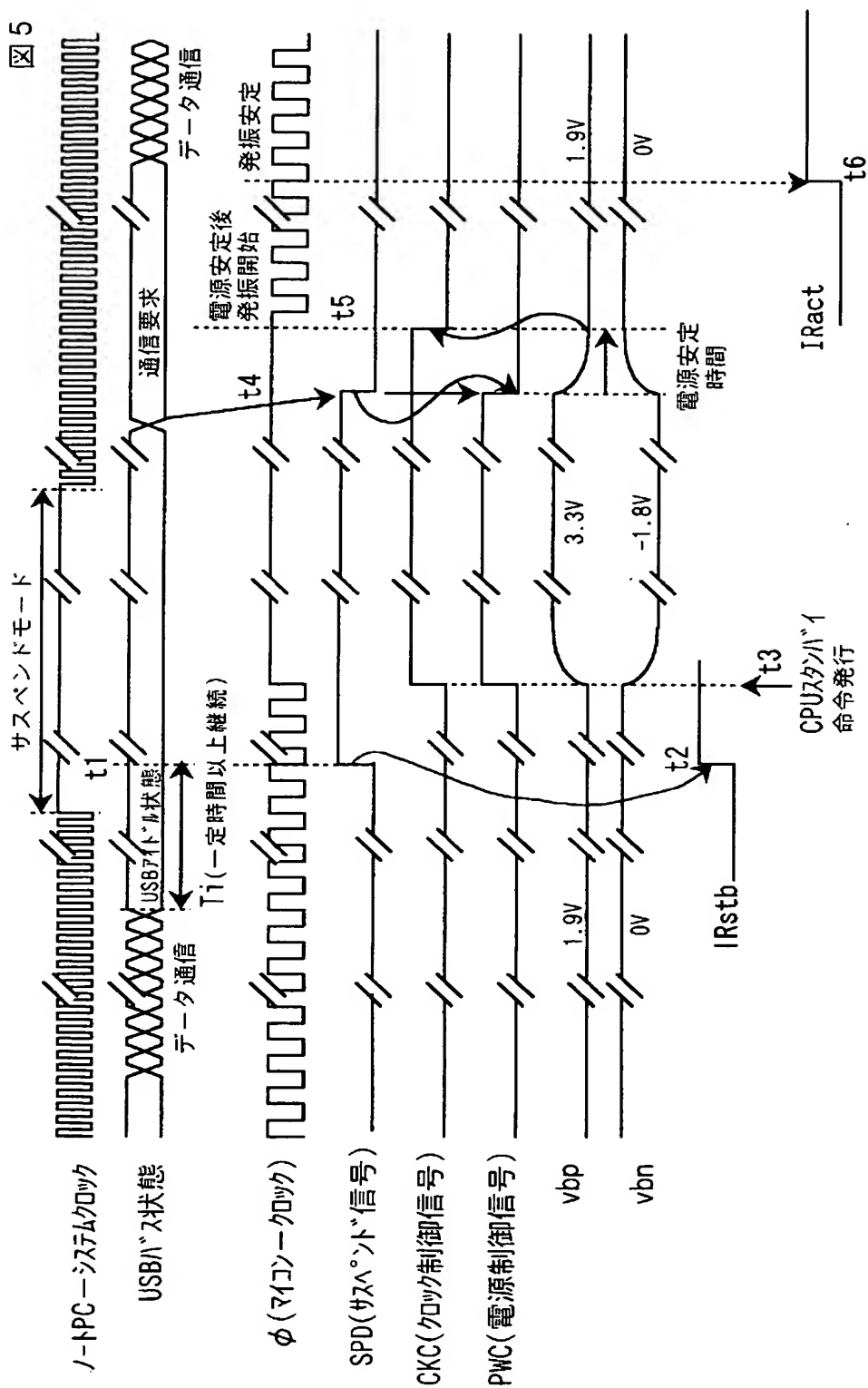
【図 3】



【図 4】

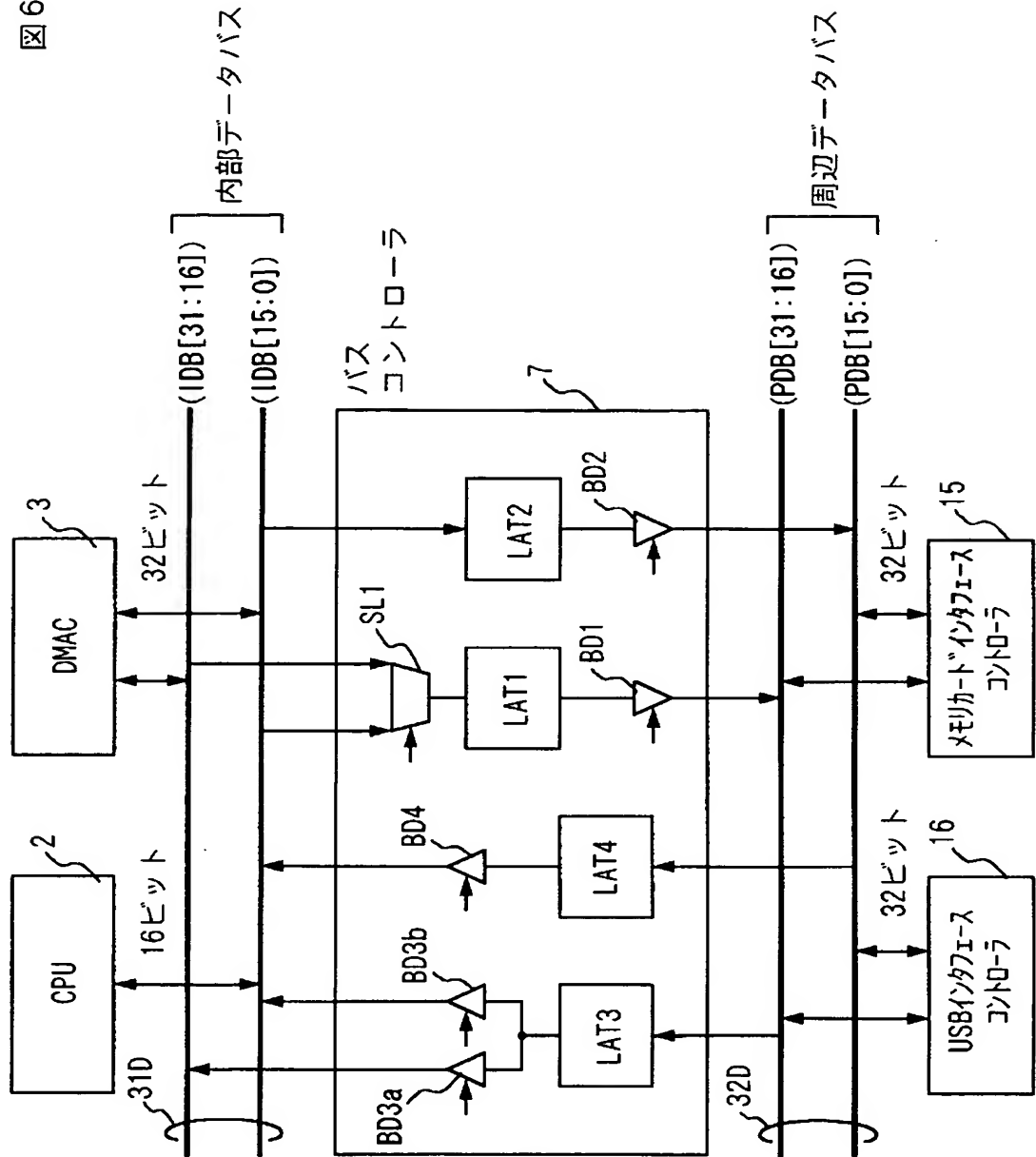


【図 5】



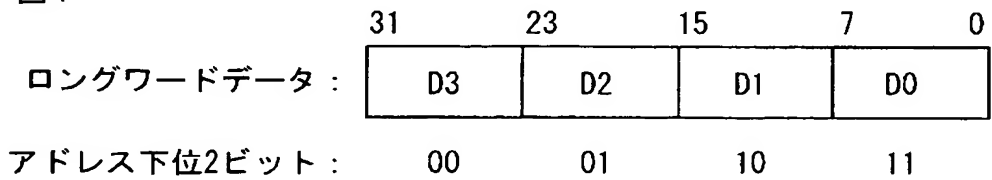
【図 6】

図 6



【図 7】

図 7



【図 8】

図 8

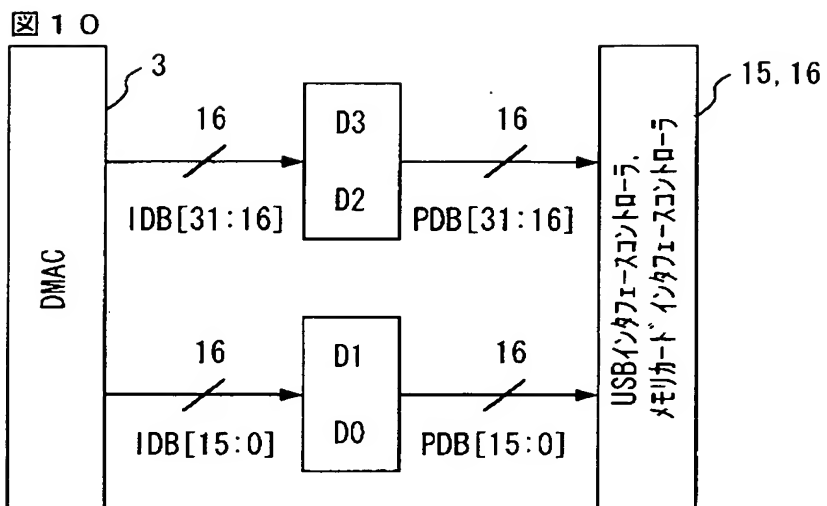
	アドレス	データ				CPU	DMAC
	1, 0	31	23	15	7..0		
ロングワード	xx	D3	D2	D1	D0	×	○
ワード	0x	—	—	D3	D2	○	○
	1x	—	—	D1	D0	○	○
バイト	00	—	—	D3	—	○	○
	01	—	—	—	D2	○	○
	10	—	—	D1	—	○	○
	11	—	—	—	D0	○	○

【図 9】

図 9

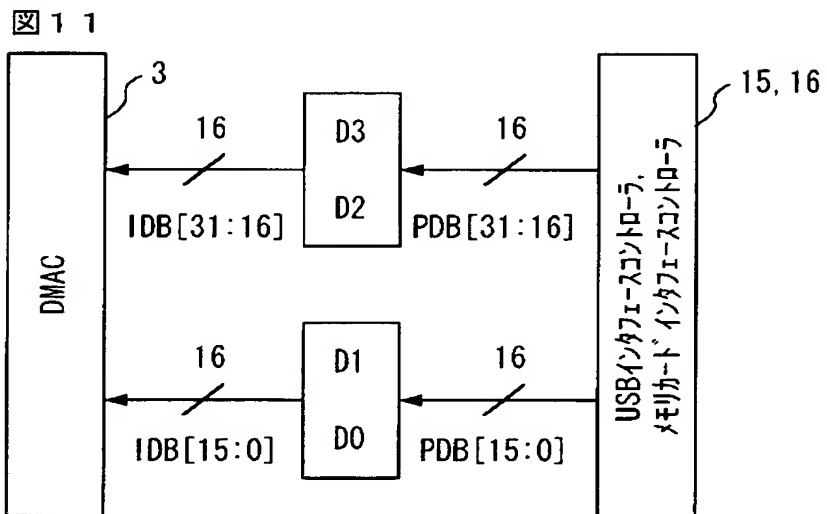
	アドレス	データ			
	1, 0	31	23	15	7..0
ロングワード	xx	D3	D2	D1	D0
ワード	0x	D3	D2	—	—
	1x	—	—	D1	D0
バイト	00	D3	—	—	—
	01	—	D2	—	—
	10	—	—	D1	—
	11	—	—	—	D0

【図 10】



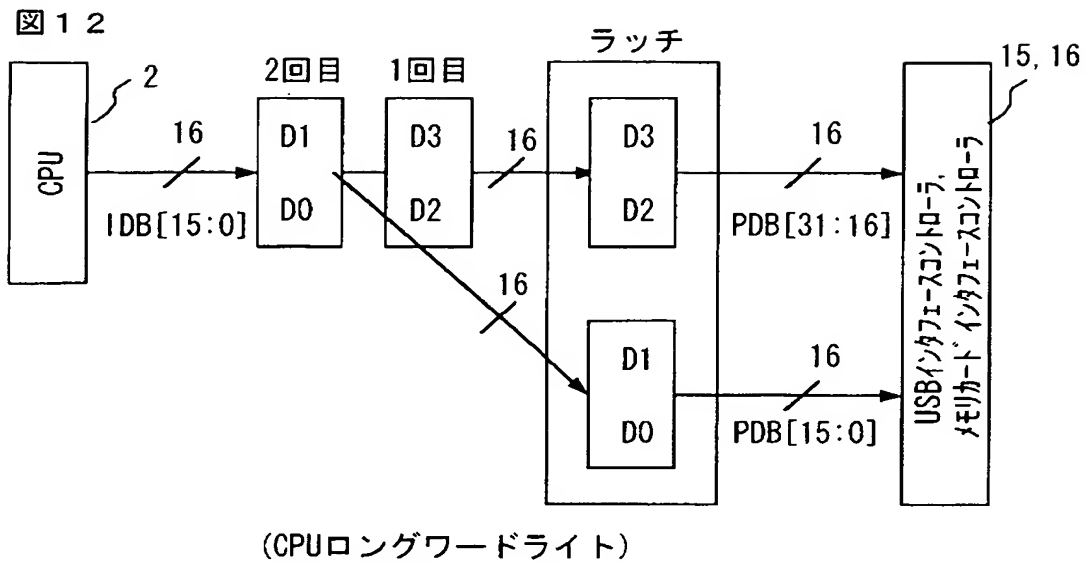
(DMACロングワードライト)

【図 11】

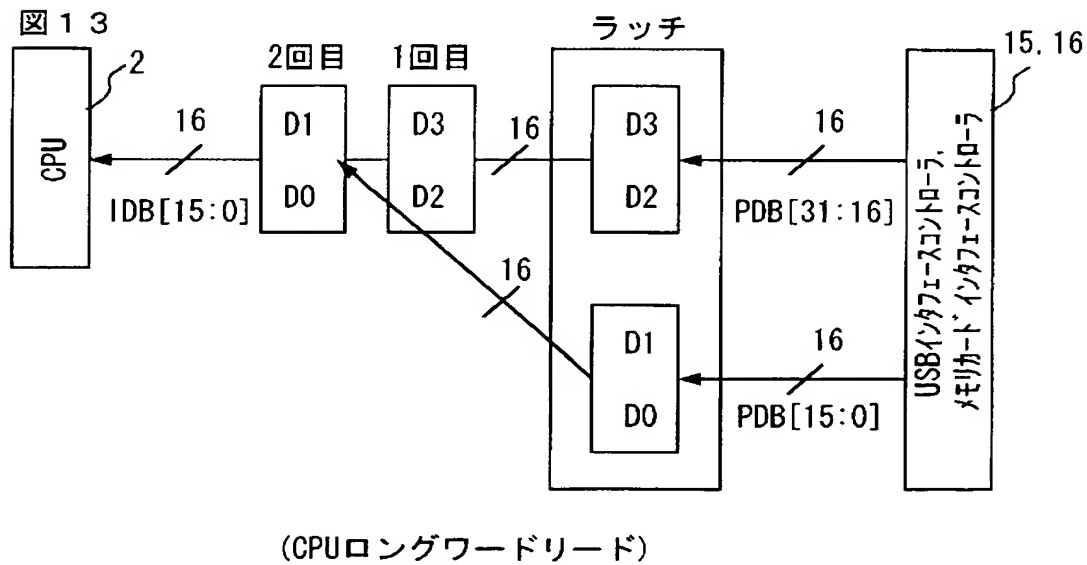


(DMACロングワードリード)

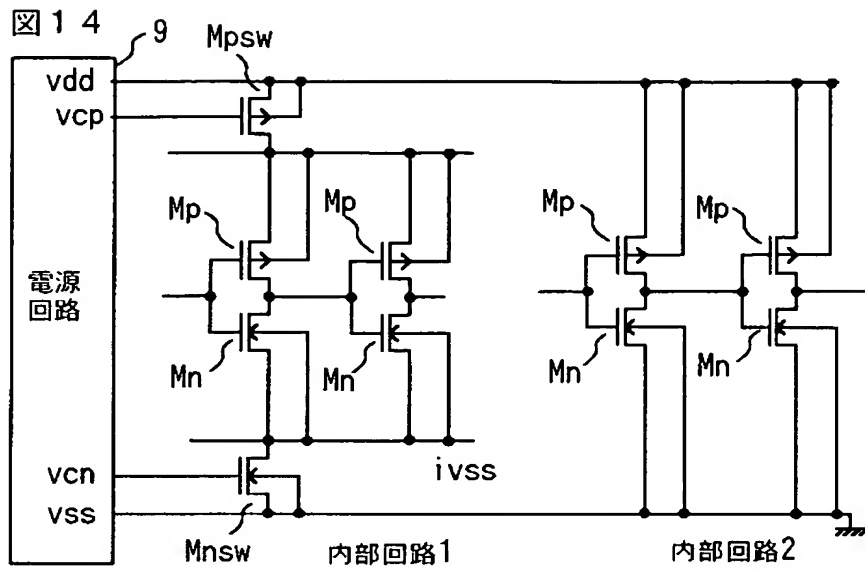
【図 1 2】



【図 1 3】



【図 14】



【書類名】 要約書

【要約】

【課題】 待機時の低消費電力、インタフェース機能の高速化、動作時の低消費電力を実現する半導体データ処理装置を提供する。

【解決手段】 半導体データ処理装置（１）はホスト装置の汎用バスに不揮発性ストレージデバイスを接続可能とし、汎用バスの状態に応答してアクティブ状態又はスタンバイ状態を採り、スタンバイ状態において内部クロック信号（ ϕ ）を停止し、スタンバイ状態においてサブスレッショルドリーク電流を抑制する基板バイアス電圧（ v_{bn} , v_{bp} ）を印加する。中央処理装置（２）とその制御プログラムを保有する書き換え可能な不揮発性メモリ（４）も基板バイアス電圧の印加対象とする。インタフェースコントローラ（１５，１６）及びデータ転送コントローラ（３）におけるデータの並列入出力ビット数を $2n$ ビットとするとき、中央処理装置にはデータ処理単位が n ビット以下のものを採用する。

【選択図】 図 1

【書類名】 出願人名義変更届（一般承継）

【あて先】 特許庁長官 殿

【事件の表示】

【出願番号】 特願2002-339128

【承継人】

【識別番号】 503121103

【氏名又は名称】 株式会社ルネサステクノロジ

【承継人代理人】

【識別番号】 100089071

【弁理士】

【氏名又は名称】 玉村 静世

【提出物件の目録】

【包括委任状番号】 0308734

【物件名】 承継人であることを証明する登記簿謄本 1

【援用の表示】 特許第 3 1 5 4 5 4 2 号 平成 1 5 年 4 月 1 1 日付け
提出の会社分割による特許権移転登録申請書 を援用
する

【物件名】 権利の承継を証明する承継証明書 1

【援用の表示】 特願平 2 - 3 2 1 6 4 9 号 同日提出の出願人
名義変更届（一般承継）を援用する

【プルーフの要否】 要

認定・付加情報

特許出願の番号	特願 2002-339128
受付番号	50301210819
書類名	出願人名義変更届 (一般承継)
担当官	小野寺 光子 1721
作成日	平成15年10月 7日

<認定情報・付加情報>

【提出日】 平成15年 7月23日

特願 2 0 0 2 - 3 3 9 1 2 8

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 1 0 8]

1. 変更年月日

1 9 9 0 年 8 月 3 1 日

[変更理由]

新規登録

住 所

東京都千代田区神田駿河台 4 丁目 6 番地

氏 名

株式会社日立製作所

特願 2 0 0 2 - 3 3 9 1 2 8

出 願 人 履 歴 情 報

識別番号

[0 0 0 2 3 3 5 9 4]

1. 変更年月日

2 0 0 2 年 1 1 月 1 5 日

[変更理由]

名称変更

住所変更

住 所

北海道千歳市泉沢 1 0 0 7 番地 3 9

氏 名

株式会社北日本セミコンダクタテクノロジーズ

2. 変更年月日

2 0 0 3 年 4 月 1 1 日

[変更理由]

名称変更

住 所

北海道千歳市泉沢 1 0 0 7 番地 3 9

氏 名

株式会社ルネサス北日本セミコンダクタ

特願 2 0 0 2 - 3 3 9 1 2 8

出 願 人 履 歴 情 報

識別番号

[0 0 0 2 3 3 0 8 8]

1. 変更年月日

1 9 9 0 年 8 月 3 0 日

[変更理由]

新規登録

住 所

千葉県茂原市早野 3 6 8 1 番地

氏 名

日立デバイスエンジニアリング株式会社

特願 2 0 0 2 - 3 3 9 1 2 8

出 願 人 履 歴 情 報

識別番号

[5 0 3 1 2 1 1 0 3]

1. 変更年月日

2 0 0 3 年 4 月 1 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内二丁目 4 番 1 号

氏 名

株式会社ルネサステクノロジ